

55 nm 工艺下 SoC 漏电功耗优化方法研究

李 麟

(珠海炬力集成电路设计有限公司 IC 研发部, 广东 珠海 519085)

摘 要: 随着工艺节点快速演进到深亚微米, 芯片设计的复杂度大幅增加, 高性能低功耗的构架逐渐成为主流设计要求. 尤其是工艺发展到 65 nm 及以下时, 漏电功耗开始极速增大, 在高性能要求不变的同时, 要兼顾低功耗需求, 这对芯片设计人员是个巨大的挑战. 以 55 nm 工艺的 SoC 设计为例, 通过多阈值电压优化漏电功耗的方法, 在芯片物理设计阶段, 对设计的漏电功耗进行优化, 使得设计性能和功耗满足需求.

关键词: 低功耗设计; 多阈值; 55 nm 工艺; 布局布线; 片上系统; 物理设计

中图分类号: TN431.2

文献标识码: A

文章编号: 1000-7180(2014)07-0058-03

Leakage Power Optimization Based on 55 nm Technology SoC Design

LI Lin

(Actions Semiconductor Co., Ltd. IC R&D, Zhuhai 519085, China)

Abstract: As the process node gets smaller and complexity of IC design increase, low power and high performance designs become more popular. The big challenge lies in achieving a high performance design with power optimization. In this paper, we demonstrate leakage power optimization using Multi-V_t techniques, to both low the leakage power and achieve the high performance design.

Key words: low power design; multi-V_t; 55 nm; physical design; SoC; place and route

1 引言

随着工艺的发展, IC 设计的主控频率和器件密度都大幅提高. 同时, 工艺节点的不断下移, 也使供电电压 (supply voltage) 和阈值电压 (threshold-voltage) 逐步降低. 这些都使得漏电流 (Leakage Current) 指数增长, 漏电功耗 (Leakage Power) 在设计中成了一个棘手的问题.

漏电功耗 (也称为静态功耗), 在工艺发展到 65 nm 及以下时, 将与动态功耗 (dynamic power) 处在同一个数量级, 甚至超过动态功耗, 成为设计中功耗的主要来源. 作为漏电功耗的主要指标——漏电流 (I_{leakage}), 是由亚阈值电流和栅极氧化层电流所组成的, 表达式近似: $I_{\text{leakage}} = I_{\text{sub}} + I_{\text{ox}}$, Anantha Chandrakasan, William Bowhill^[1] 等人在研究中提出采用高阈值电压的方法以及增加氧化层的厚度来降低漏电流, 从而减少漏电功耗. 但是, 这几种方案在降低漏电功耗的同时, 都会面

对设计性能大幅降低的窘境. 尤其当工艺达到深亚微米时, 性能和功耗指标相背离的特点越发明显. 因此, 本文提出一种多阈值电压 (Multi-threshold-voltage) 漏电功耗优化方法, 在基于 55 nm 工艺的电路设计中, 实现性能和功耗的平衡.

2 漏电功耗

CMOS 逻辑电路中主要有两种功耗, 即动态功耗和漏电功耗^[2]. 动态功耗是指芯片上电翻转情况时的功耗; 漏电功耗是芯片通电未激活时的功耗. 在早期的设计中, 漏电功耗由于数量级太小, 是被忽略的, 只需关注设计的速度和控制设计的面积就足够. 然而, 随着工艺的发展, 器件尺寸和阈值电压不断减小, 漏电功耗极速增长, 甚至会接近动态功耗的数量级^[3] (图 1 显示了随工艺发展总功耗的分布变化), 因此, 在深亚微米工艺设计时, 对漏电功耗的优化势在必行.

漏电功耗是芯片上电但未发生翻转时的能量消

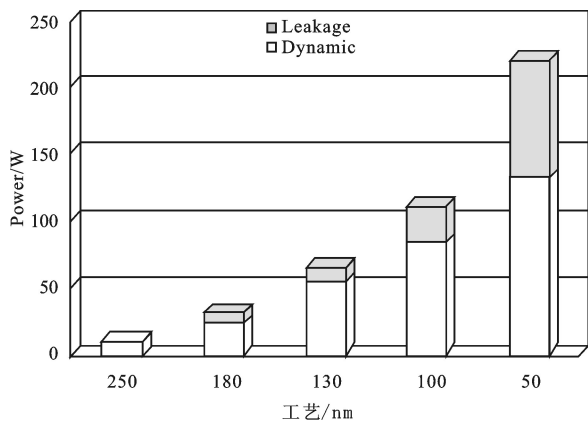


图 1 工艺发展及总功耗变化

耗,其表达式为: $P = V_{dd} * I_{leakage}$, V_{dd} 表示工作电压, $I_{leakage}$ 是漏电流. 漏电流的构成主要有以下几种情况: pn 结反偏漏电流 (reverse-bias p-n junction diode leakage), 门漏电流 (Gate-leakage), 亚阈值漏电流 (Subthreshold leakage)^[4] 等.

其中对漏电功耗贡献最大的部分是亚阈值电流, 并且其随着工艺尺寸减小而指数增长^[5] (如图 2 所示). 阈值电流 (I_{sub}) 的公式如下所示:

$$I_{sub} = K_1 W e^{-V_{th}/nV_{\theta}} (1 - e^{-V/V_{\theta}}) \quad (1)$$

式中, K_1 和 n 是实验相关的系数, W 代表栅极宽度, V_{θ} 代表热电压, 室温下是 25 mV^[1]. 从公式中可以得到降低阈值电流的两种方法: ① 切断供电电压 V ; ② 提高 V_{th} . 这两种方法可直接降低阈值电流, 从而减小漏电功耗的损失. 但这两种方法也有着显著的劣势, 方法一, 会使得电路失去目前的工作状态, 实现困难; 方法二, 由于晶体管的延时会随阈值电压的增大而变大, 公式近似为

$$T = V_{dd} * (V_{dd} - V_{th})^{-\alpha} \quad (2)$$

从中可以看到增大 V_{th} 会使得设计的性能受到较大影响.

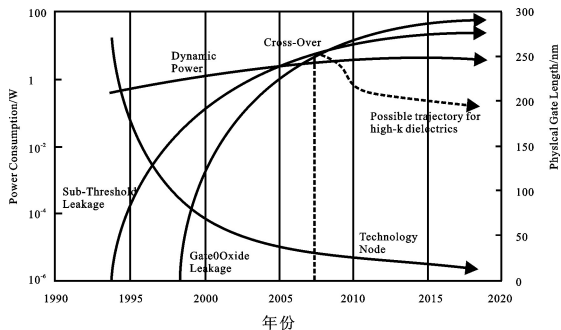


图 2 不同工艺下的漏电功耗趋势图

表 1 列举了 55 nm 工艺库中的 INV1VH 标准单元的相关数据, 以便说明不同阈值电压下 (相同负载, 相同输入转换时间) 的延时、功耗大小和转换时

间等数据的相关性. 从表中可以清楚地看到 V_{th} 的增加, 对延迟时间的影响.

表 1 INVMIH 标准单元数据

	HVT	RVT	LVT
Area/ μm^2		1.08	
Leakage/pW	2 360.64	6 118.54	15 150.7
Delay/ns	0.017	0.013 4	0.012 48
Transition/ns	0.027	0.021 4	0.019 83
VDD/V		0.9(125 $^{\circ}\text{C}$)	

3 漏电功耗优化方法

3.1 多阈值电压法介绍

随着工艺的不断发展, 降低芯片的漏电功耗已经成为设计者的急迫要求, 工艺开发者们通过增加栅极氧化层的厚度, 或是在生产过程中掺入不同的杂质, 来提高阈值电压, 以降低漏电功耗^[6]. 这些方法的使用, 使设计者可以在丰富的多阈值标准单元库中随意选择. 低阈值电压库 (LVT), 高阈值电压库 (HVT), 标准阈值电压库 (RVT) 组成了多阈值电压法的“武器库”, 其中高阈值电压的漏电功耗最少.

多阈值电压方法的本质, 是为了能在降低漏电功耗和保持芯片性能之间找到一个平衡点. 因此, 会在设计的不同功能区域使用不同的阈值电压库, 以便兼顾性能和漏电功耗. 本文将以 55 nm 工艺为例, 在芯片的物理设计阶段, 使用多阈值电压方法, 找到芯片的性能功耗最佳平衡点.

为了得到低功耗的设计, 同时又能满足高性能的要求, 本文考虑在设计中混合使用高阈值电压库 (HVT), 低阈值电压库 (LVT) 的标准单元; 对 LVT; HVT 的比例设置也很关键, 但比例的选择, 无法在设计之初就定论, 这就造成了设置困难.

本文的处理方法是, 前期不对高阈值和低阈值电压库标准单元的使用设置比例要求, 但在设计的最后环节, 通过替换程序, 在时序不紧张的路径上, 将 LVT 标准单元替换到 HVT 标准单元, 以降低漏电功耗; 在对时序要求高的关键路径, 替换 HVT 标准单元到 LVT 标准单元, 来保证速度.

3.2 多阈值电压法优化过程介绍

本文在 SoC 物理设计阶段, 通过使用多阈值电压的方法, 对漏电功耗进行优化, 并对比传统物理设计流程 (Baseline flow) 和多阈值电压漏电功耗优化

流程(Leakage-power optimization flow)的相关数据,来证明多阈值电压方法优化漏电功耗的有效性.优化过程中,使用的 EDA 工具,是 Synopsys 公司提供的 IC Compile,漏电功耗优化设计流程如图 3 所示.

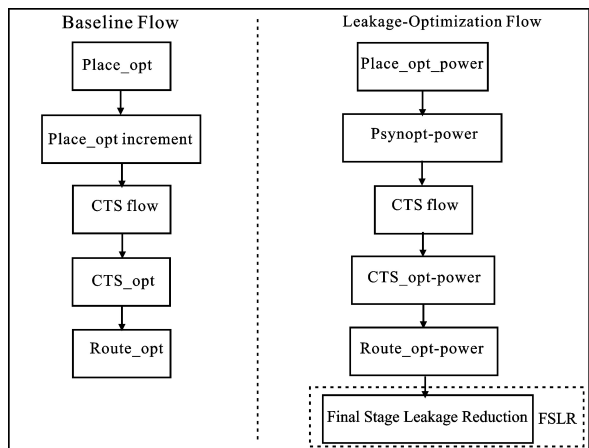


图 3 Baseline flow vs Leakage Opt. Flow

相对于传统流程(Baseline flow),在物理设计阶段,多阈值电压漏电功耗优化流程(Leakage-power optimization flow)会针对 Power 进行优化,由于 IC Compile 会优先考虑时序的收敛,因此会在流程中尽量使用延时较小的标准单元,即低阈值电压类型的标准单元来进行时序收敛.由于使用了较多的低阈值电压标准单元,漏电功耗会相应变大.

当漏电功耗优化流程全部完成后(布局布线结束),此时,时序已经收敛,功耗也经过了优化,由于此时电路的 RC 参数能够准确的提取,所以再加入一个 FSLR(Final Stage Leakage Reduction)的优化程序,寻找速度要求不高的路径,将这些路径上的标准单元全部替换为高阈值电压属性,以便降低漏电功耗;当遇到时序相对紧张的路径,仅保留低阈值电压属性的标准单元.

4 漏电功耗优化结果总结

4.1 设计实例

此次实验使用的参考设计是视频信号的全格式编解码电路,基于 UMC 55 nm 工艺实现,要求能够同时满足低功耗和高性能的设计要求.设计过程中使用的是 UMC 55 nm 工艺参考库,混合使用 RVT、HVT 两类标准单元.此次实验,只使用两种类型的标准单元:HVT,RVT.没有使用 LVT 的原因是由于在生产工艺中,多一个阈值电压就需要多一次光罩费用,成本就会大大增加.考虑到项目的成本压力和 LVT 类型标准单元过高的漏电功耗,最

终只选用了 HVT 和 RVT 类型的标准单元.

实验的物理设计流程基于 Synopsys 公司提供的 IC Compile 平台,来完成设计的物理综合、布局布线、时序收敛和功耗优化过程^[7].试验实例的基本数据如下:

- (1)设计中标标准单元个数:0.91million;
- (2)Memory 个数:64 个;
- (3)时钟速度:400 MHz;
- (4)工艺:UMC 55 nm.

4.2 实验结果

表 2 中列出了漏电功耗优化后的实验结果,包括最终的漏电功耗、设计的速度、设计利用率及 RVT 的使用比例.其中设计利用率表明设计面积大小的变化,而 RVT 的比例表明了设计中低阈值电压标准单元所占的比例.同时,比较了布局布线后,传统流程(Baseline flow)、漏电功耗优化流程(Leakage-power optimization flow)及 FSLR(Final Stage Leakage Reduction)的漏电功耗优化数据.

表 2 漏电功耗优化后的实验数据对比

55 nm process video de-coding Design				
Stages	Leakage/ mW	RVT 比例/ %	Speed/ MHz	利用率/ %
Baseline Flow	30.530 0	59.28	358	78.13
Leakage Opt	27.216 5	26.30	376	81.75
FSLR Flow	24.154 8	19.91	383	81.75

正如之前分析中提到,传统流程(Baseline flow)的漏电功耗较高,但由于使用了较多的 RVT 类型标准单元,设计的面积增加较小;漏电功耗优化流程(Leakage-power optimization flow)会大大降低漏电功耗,同时可以保证设计的速度不变差,但由于替换了面积较大的 HVT 类型的标准单元,设计的面积就会增长;FSLR(Final Stage Leakage Reduction)过程,根据时序紧张程度,有效替换了 RVT 标准单元到 HVT 类型的标准单元,不影响速度,面积最优化,同时又使得漏电功耗进一步降低.

实验结果表明设计实例在不同流程优化后,漏电功耗的实际减少情况.从表 2 中可以看到,使用漏电功耗优化流程比传统流程的漏电功耗减少了 12%,而 FSLR 流程还能再减少 12%的漏电功耗.实验数据证明了,深亚微米工艺中,使用多阈值电压方法可以在不降低设计性能的情况下,有效减少设计的漏电功耗.

(下转第 64 页)

其中图 5(a)所示为主要信息不被裁剪时恢复出来的效果,从中可以看出,恢复图像尽管有稍许瑕疵,但还是能较清楚地反应出被隐图像的信息;而图 5(b)所示为主要信息被裁剪时恢复出来的效果,从该分图中很难分辨出被隐图像的轮廓了.由此可判断,该隐藏算法的抗破损攻击性能和破损位置有很大的关系.

4 结束语

本文提出了一种基于 DCT 变换和 henon 混沌映射数字图像隐藏算法.经实验测试和性能分析得知,用该算法能有效得将被隐图像的全部信息隐藏到载体图像中.加隐图像和载体图像几乎无异,隐藏效果好;恢复图像和被隐图像相似度高,恢复效果良好.因此,该隐藏算法可以广泛应用于数字图像的加密技术中.

参考文献:

- [1] Chung K L, Chang L C. Large encrypting binary images with higher security[J]. Pattern Recognition Letters, 1998(19):461-468.
- [2] Christine I P, Edward J D. Digital watermarking: al-

gorithms and applications[J]. IEEE Signal Processing Magazine, 2001(7):33-46.

- [3] 盛苏英,吴新华.在线混沌图像保密通信研究[J].计算机工程与科学, 2011, 33(4): 30-34.
- [4] 林纯,盛苏英,陆国平.基于混沌序列的彩色数字图像加密设计[J].南通大学学报:自然科学版,2010,9(1): 1-4.
- [5] 林纯,盛苏英,陆国平.真彩图像和视频加密新方案的研究与实现[J].微电子学与计算机,2012,29(6): 113-116.
- [6] 林纯,王建平,马卫国,等.基于混沌的图像压缩加密算法研究[J].微电子学与计算机,2013, 30(3): 5-7.
- [7] 张大奇,张永红,康宝生.基于 RB 曲线融合的数字图像隐藏技术[J].中国图像图形学报,2006,11(2): 235-243.
- [8] 鄂炜,康宝生.基于置乱与融合的数字图像隐藏技术及其应用[J].计算机应用与软件,2008, 25(5):215-218.
- [9] 吴为波,雷赞,齐影虹.基于提升小波和图像融合的数字图像隐藏技术[J].江西理工大学学报,2011,32(1): 56-59.

作者简介:

林 纯 女,(1980-),硕士,讲师.研究方向为图像加密.

(上接第 60 页)

5 结束语

文中提出了通过多阈值电压的方法,优化深亚微米(55 nm)工艺下的漏电功耗,以便平衡设计的性能和功耗.通过试验,比较了传统流程和漏电功耗优化流程的数据,证明了多阈值电压方法对漏电功耗优化和保持性能方面的有效性.当然,优化的过程还有需要改善的地方,如混合使用长短沟道晶体管来控制漏电功耗;在更先进工艺下漏电功耗优化设计的实现等等,这些需要在以后的研究工作中逐一解决.

参考文献:

- [1] Chandrakasan A, Bowhill W, Fox F. Design of high-performance microprocessor circuits [J]. IEEE Press, 2001.
- [2] Rabaey J M. Low power design essentials[M]. New

York: Springer, 2009: 55-58.

- [3] Ravi Chhabra Srijith R Nair. Optimal dynamic vs leakage power trade-off using statistical intelligence[C]// Synopsys Users Group Conference, New Delhi:2012.
- [4] Synopsys multivoltage flow user guide[R]. <http://www.synopsys.com/>
- [5] Karmann J, Prasad Ravikumar R. Improved methodology for leakage optimization in synopsys tools[C]// Synopsys Users Group Conference, Munich,2013.
- [6] Chandrakasan A, Bowhill W, Fox F. Design of high-performance microprocessor circuits[M]. Hooken: Wiley-IEEE Press,2001:46-62.
- [7] Himanshu B. Advance ASIC chip synthesis [M]. Dordrecht:Kluwer Academic Publishers, 2002.

作者简介:

李 麟 男,(1985-),硕士,中级工程师.研究方向为深亚微米 SoC 物理设计、布局布线、低功耗设计.